



Universität Bielefeld
Technische Fakultät

R|V|S

**Rechnernetze und
Verteilte Systeme**

Technische Informatik 1

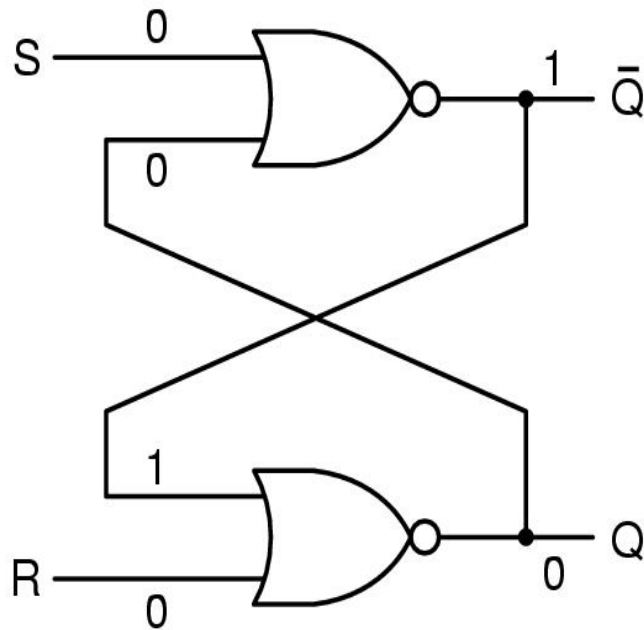
Vorlesung 1: Speicherelemente

Peter B. Ladkin
ladkin@rvs.uni-bielefeld.de

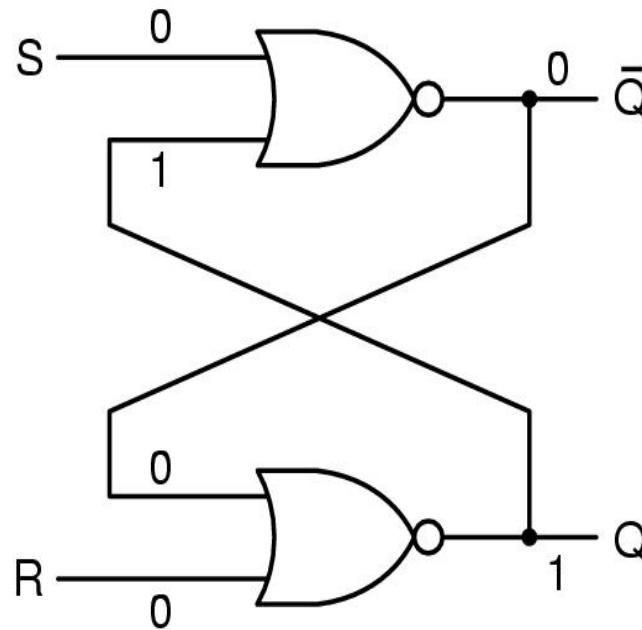
Vorlesung 7: Überblick

- Ein SR-Latch und seine Zustände
- Clocked SR-Latches
- Clocked D-Latches
- Flip-Flops
- Register
- Metastabilität
 - Das Phänomen
 - Die Geschichte

SR Latch



(a)



(b)

A	B	NOR
0	0	1
0	1	0
1	0	0
1	1	0

(c)

SR Latch

- S-Eingabe: "Set"
- R-Eingabe: "Reset" (oder "Clear")
- Q-Ausgabe
 - Sowie $\neg Q$ (aber diese Interpretation führt zu Problemen)

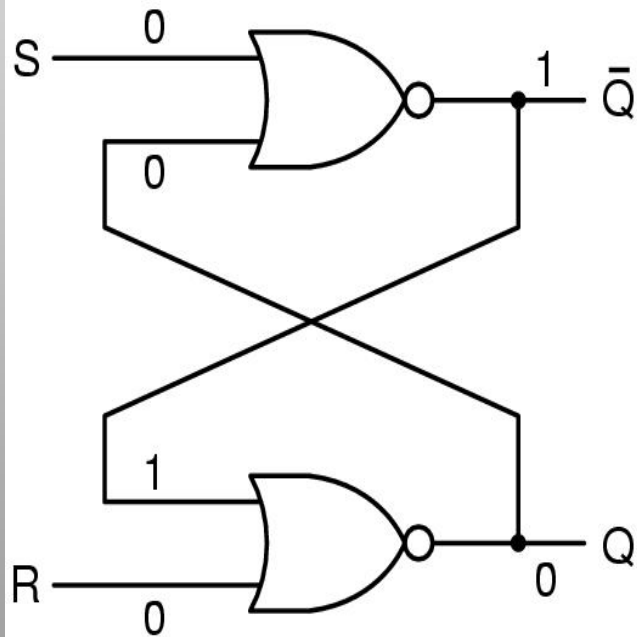
SR Latch

- Normalerweise sind S sowie R beide 0
 - Q kann 0 oder 1 sein sowie $\neg Q$ bzw. 1 oder 0
- Der Zustand des Gerätes ist stabil
- Es gibt also zwei Zustände
- Dieser Schaltnetz funktioniert also als ein 1-Bit Speicherelemente

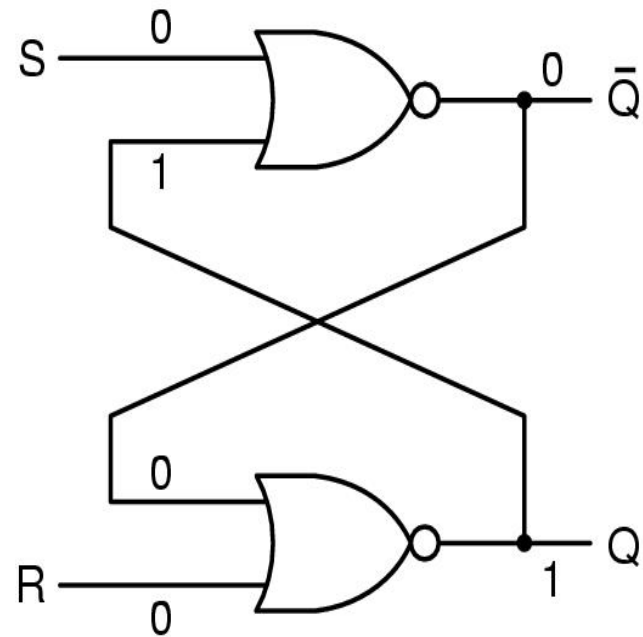
SR Latch: Änderung

- Wenn S gesetzt wird (hoch gesetzt) zu 1
 - Falls Q 1 war, bleibt es 1
 - Falls Q 0 war, ändert es sich zu 1
 - $\neg Q$ bleibt / ändert sich zu 0
- Wenn R gesetzt wird
 - Falls Q 1 war, ändert es sich zu 0
 - Falls Q 0 war, bleibt es 0
 - $\neg Q$ bleibt / ändert sich zu 1

SR Latch



(a)



(b)

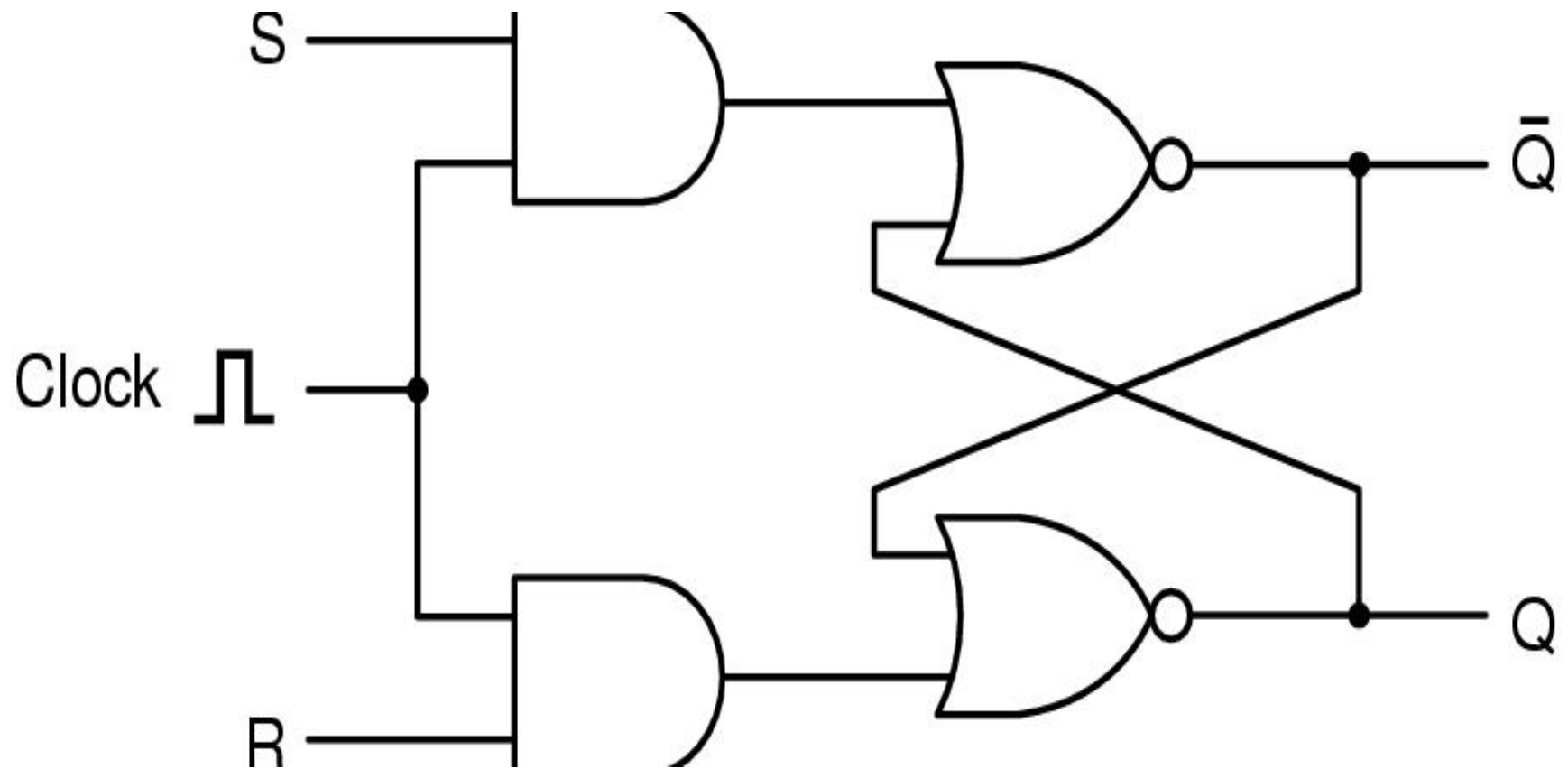
A	B	NOR
0	0	1
0	1	0
1	0	0
1	1	0

(c)

Clocked SR Latch

- Es ist passend, Zustandsänderungen nur zu Takt zu machen
- Also integriert man ein Uhrsignal
 - Wenn das Uhrsignal hoch ist, also zu Takt, werden die Eingabewerte geachtet
 - Dies bedeutet: das Uhrsignal ist ge-"und"-et mit den Eingabesignale

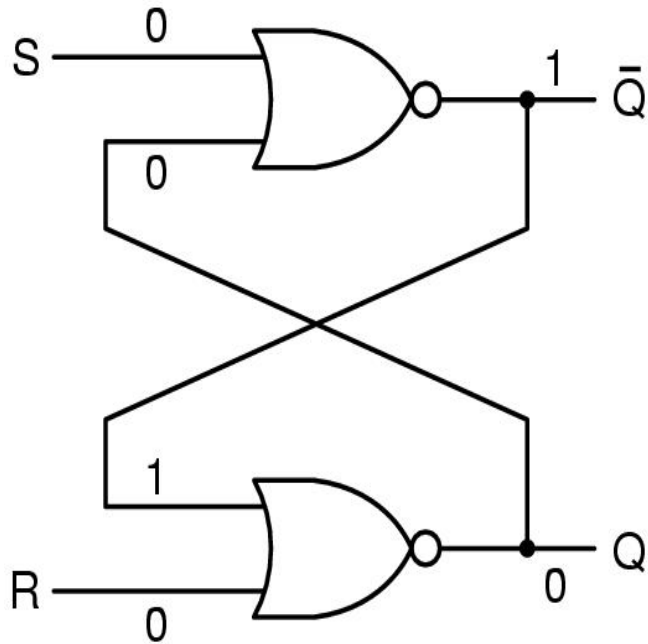
Clocked SR Latch



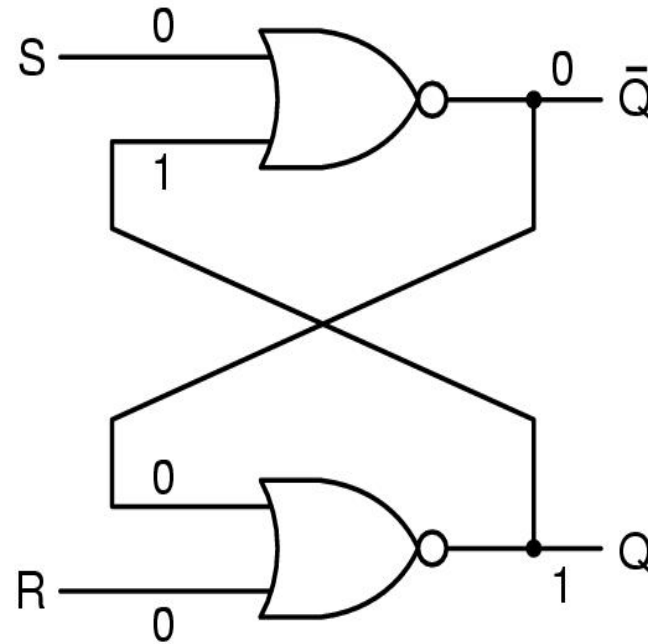
SR Latch: Probleme

- Was passiert, wenn S und R beide 1 sind?

SR Latch: Probleme



(a)



(b)

A	B	NOR
0	0	1
0	1	0
1	0	0
1	1	0

(c)

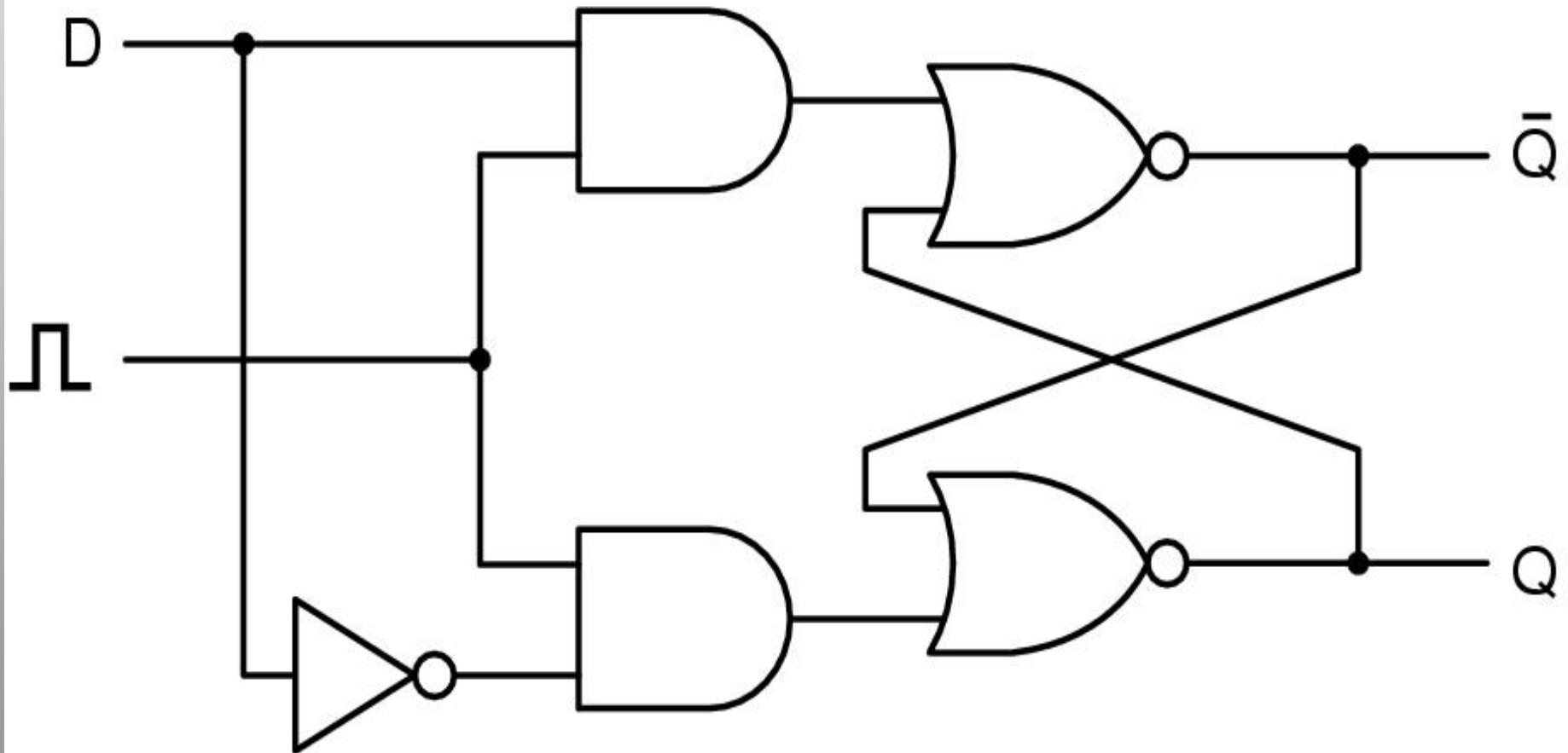
SR Latch: Probleme

- Wenn $S = R = 1$, $Q = \neg Q = 0!!$
 - Also ist die Ausgabe " $\neg Q$ " falsch benannt worden
 - Wenn es möglich ist, dass irgendwann einmal $S = R = 1$ sein könnten, wäre es notwendig, die Ausgabe $\neg Q$ nicht zu benutzen
- Was passiert, wenn S und R beide zu 0 zurückgehen?
 - Die einzigen stabilen Zustände sind
 - $Q = 0, \neg Q = 1$
 - $Q = 1, \neg Q = 0$
 - Also, die Eingabe die zuerst nach 0 geht, "gewinnt", oder?

SR Latch: Probleme

- Tanenbaum sagt "If either input drops back to 0 before the other, the one remaining 1 longest wins, because when just one input is 1, it forces the state."
- Was passiert, wenn beide Eingabewerte zurückgehen zu 0 "**gleichzeitig**"?
 - Tanenbaum sagt: "the latch jumps to one of its stable states at random"
 - Wirklich? Immer?
 - Beweis?

Die Auflösung: Clocked D Latch



Die Auflösung: Clocked D Latch

- Eine Eingabe: D
- D wird gesplittet in D / \neg D Eingabe zum clocked SR Latch
- Also werden nur die Kombinationen 0/1 und 1/0 zum clocked SR Latch möglich, oder?

Die Auflösung?

- Ein Inverter hat Verzögerung (Hysteresis)
 - Mehrere Nanosekunden
- Die unterschiedliche Leistungslänge haben unterschiedliche Propagationsverzögerungen
 - 20 Mikron \approx 0.0001 Nanosekunden
- Es könnte sein, dass wenn Uhrsignal und D "gleichzeitig" geändert werden, dass alle Eingabesignale zum clocked SR Unterteil 1 sind
 - In diesem Fall hat man das Problem wieder

Überhaupt eine Auflösung?

- "Will no one rid me of this troublesome priest?"
(König Henry II vis a vis Thomas A Beckett,
Archbishop of Canterbury, 1164 AD)
- In Kontrast zu 1164, die Antwort ist nein
- Was Tanenbaum sagte, ist nicht unbedingt wahr
- Charles Molnar bemerkt in 1963, dass ein Schaltnetz unter Umständen oszillieren kann
- Leslie Lamport und Dick Palais haben bewiesen, dass es unvermeidbar ist

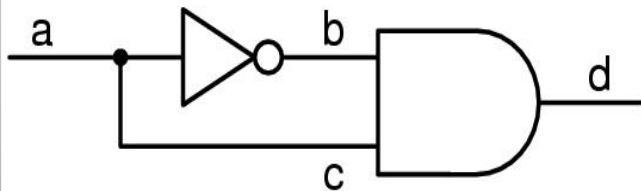
Metastabilität

- Diese Charakteristika eines Schaltnetzes /Chips heisst "Metastabilität"
- Die Metastabilitäts-Eigenschaften eines Schaltnetzes oder eines Chips könnten mit der Hilfe eines Oszillographs von Tektronix (Foley, 1996)

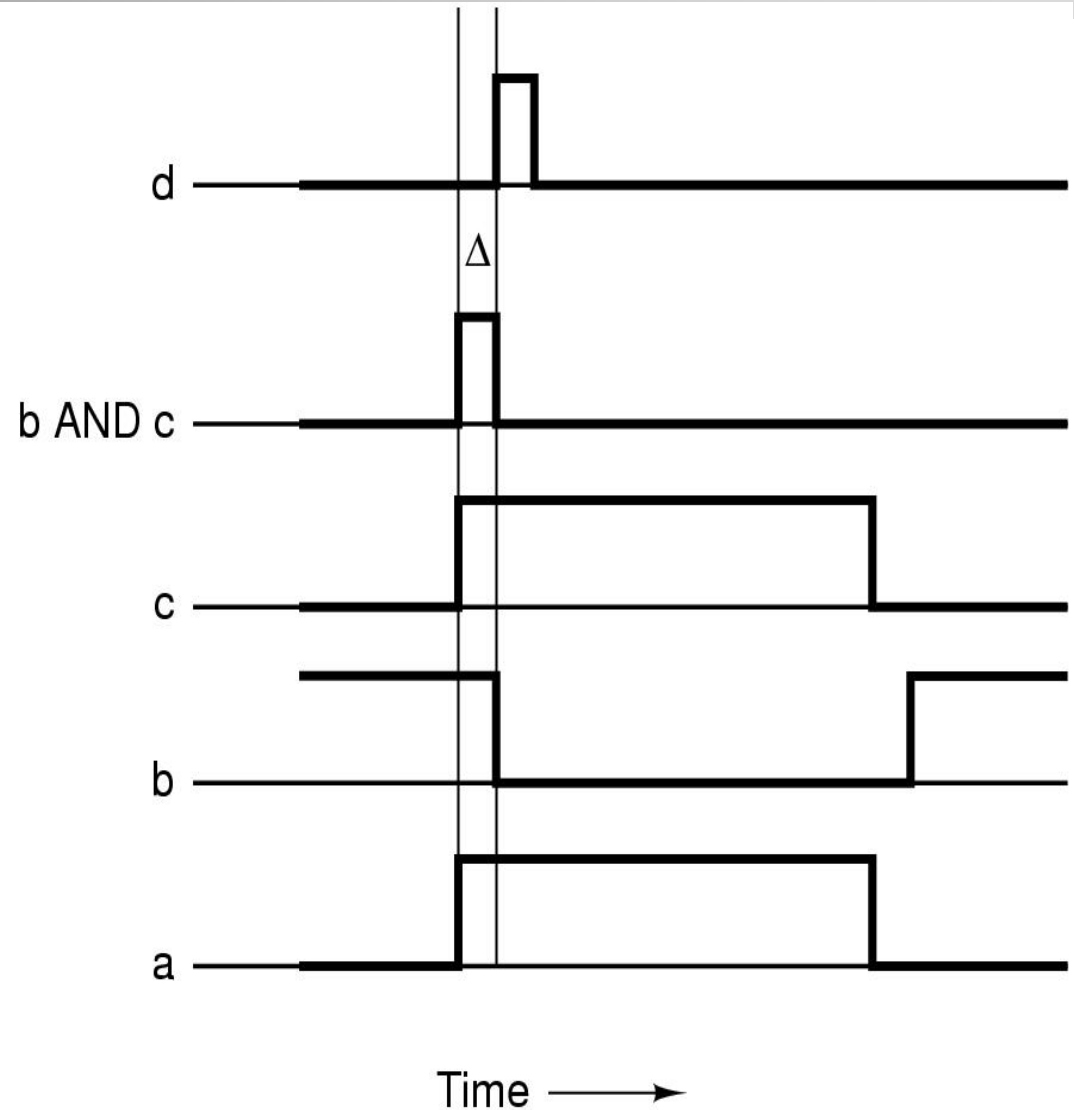
Flip-Flops

- Ein Uhrleitung wird für einen bestimmten Zeitraum hochgesetzt
- Manchmal hat man es nötig, den Eingabewert nicht über einen Zeitraum zu bemerken, sondern an einen "Instant" zu sampeln
- Dies kann man besser, wenn der Trigger nicht beim Hochwert gespeichert ist, sondern beim Hochsetzungsverfahren selbst: wann die Transition des Uhrsignals stattfindet
- Dies heisst "edge-triggered"

Ein Beispiel Pulse-Generator



(a)

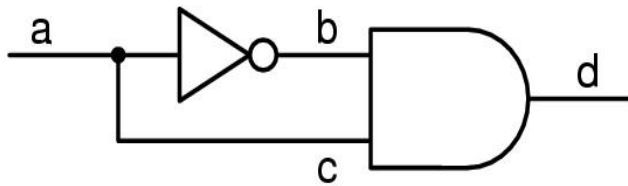


(b)

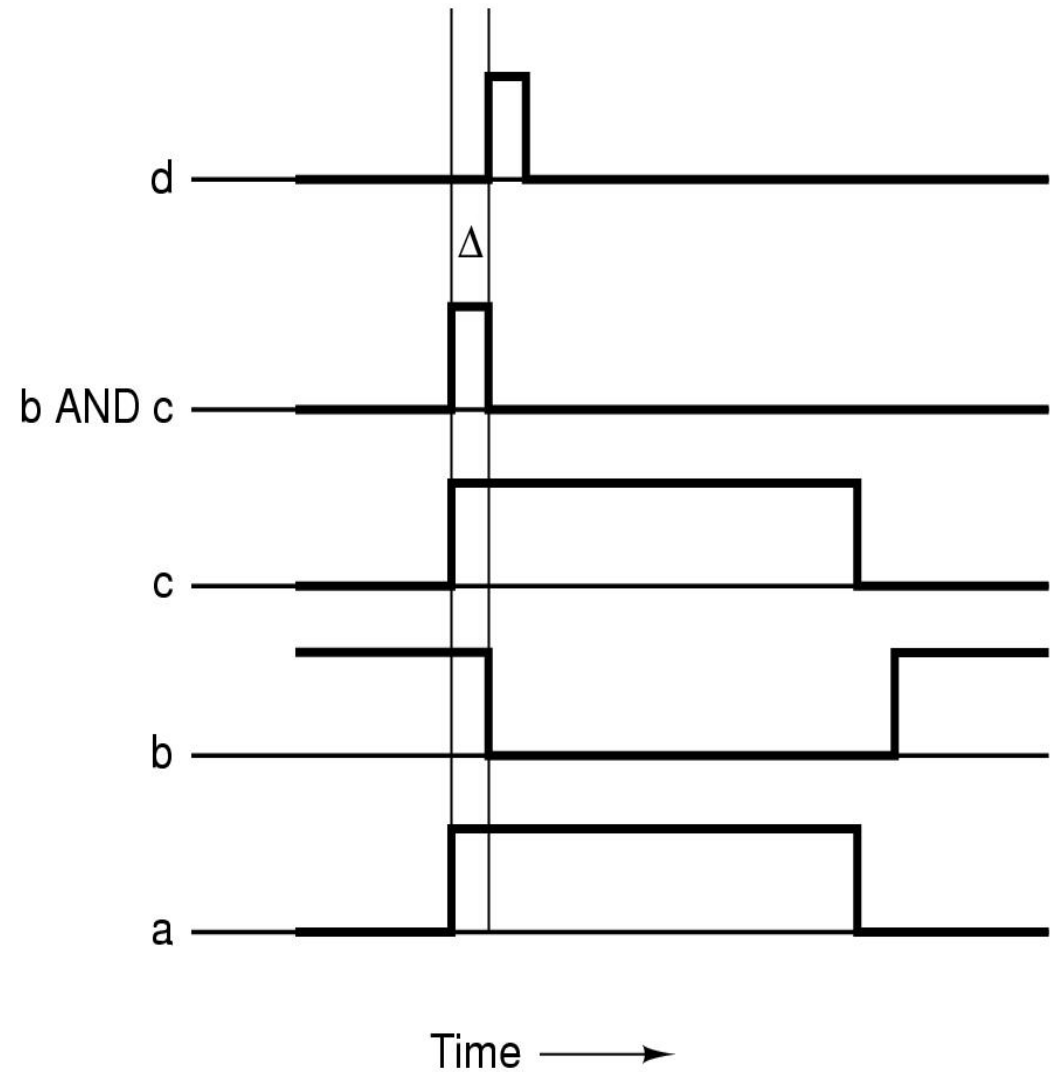
Ein Beispiel Pulse-Generator

- Der Inverter hat Verzögerung
- Das Signal an c ist ein bisschen schneller als das Signal an b
- Wir ignorieren die Verzögerung durch den Unterschied zwischen der Länge der Leitung $a \rightarrow c$ und die Länge $a \rightarrow$ Inverter und Inverter $\rightarrow b$
- Also heisst die Verzögerung Δ durch den Inverter, typischerweise 5 Nanosekunden oder weniger

Ein Beispiel Pulse-Generator

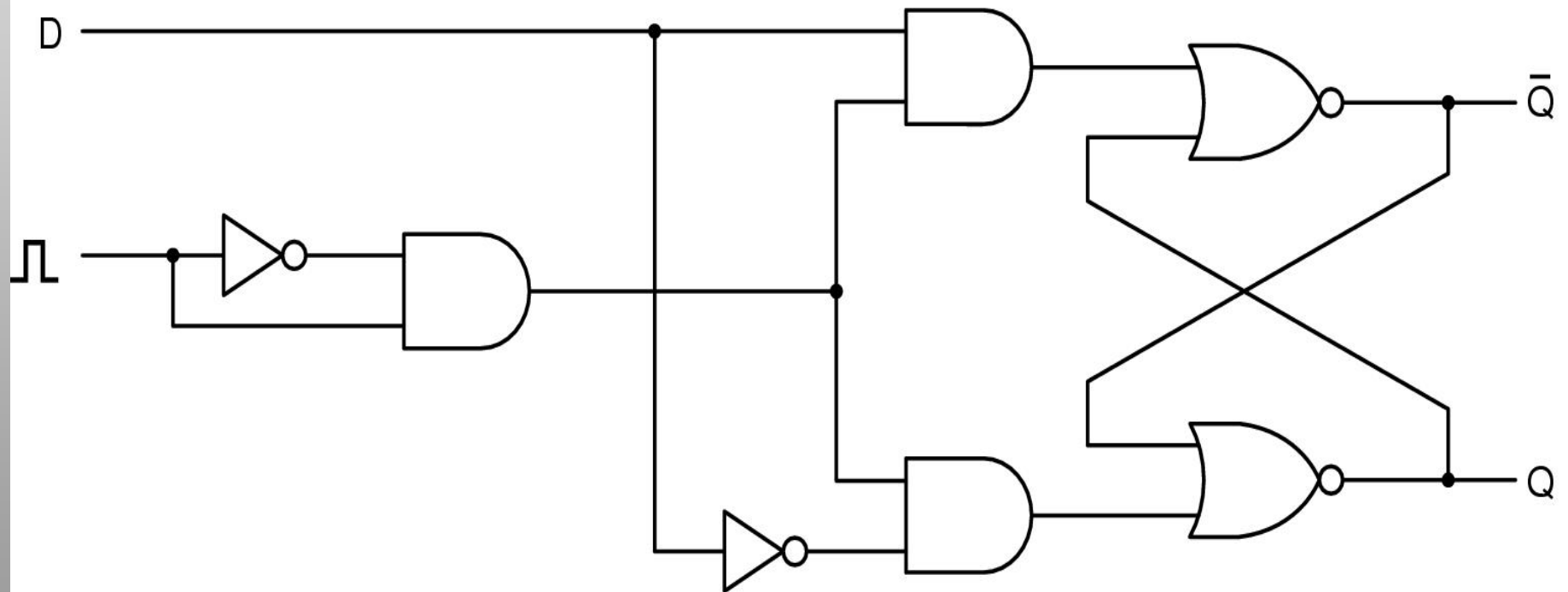


(a)

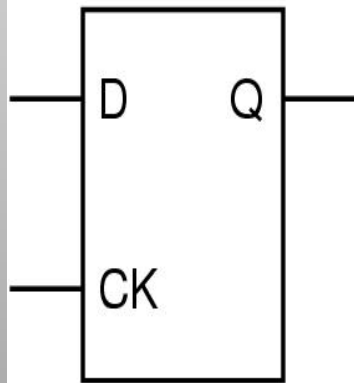


(b)

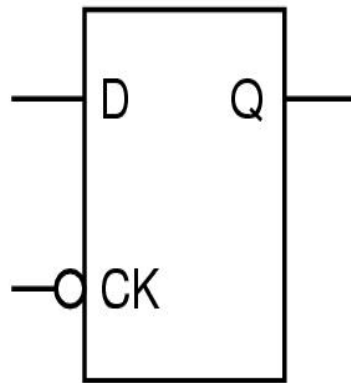
Ein D Flip-Flop



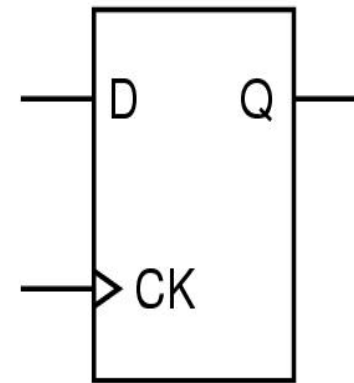
Typische Symbole



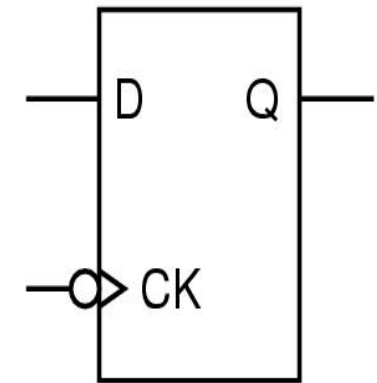
(a)



(b)

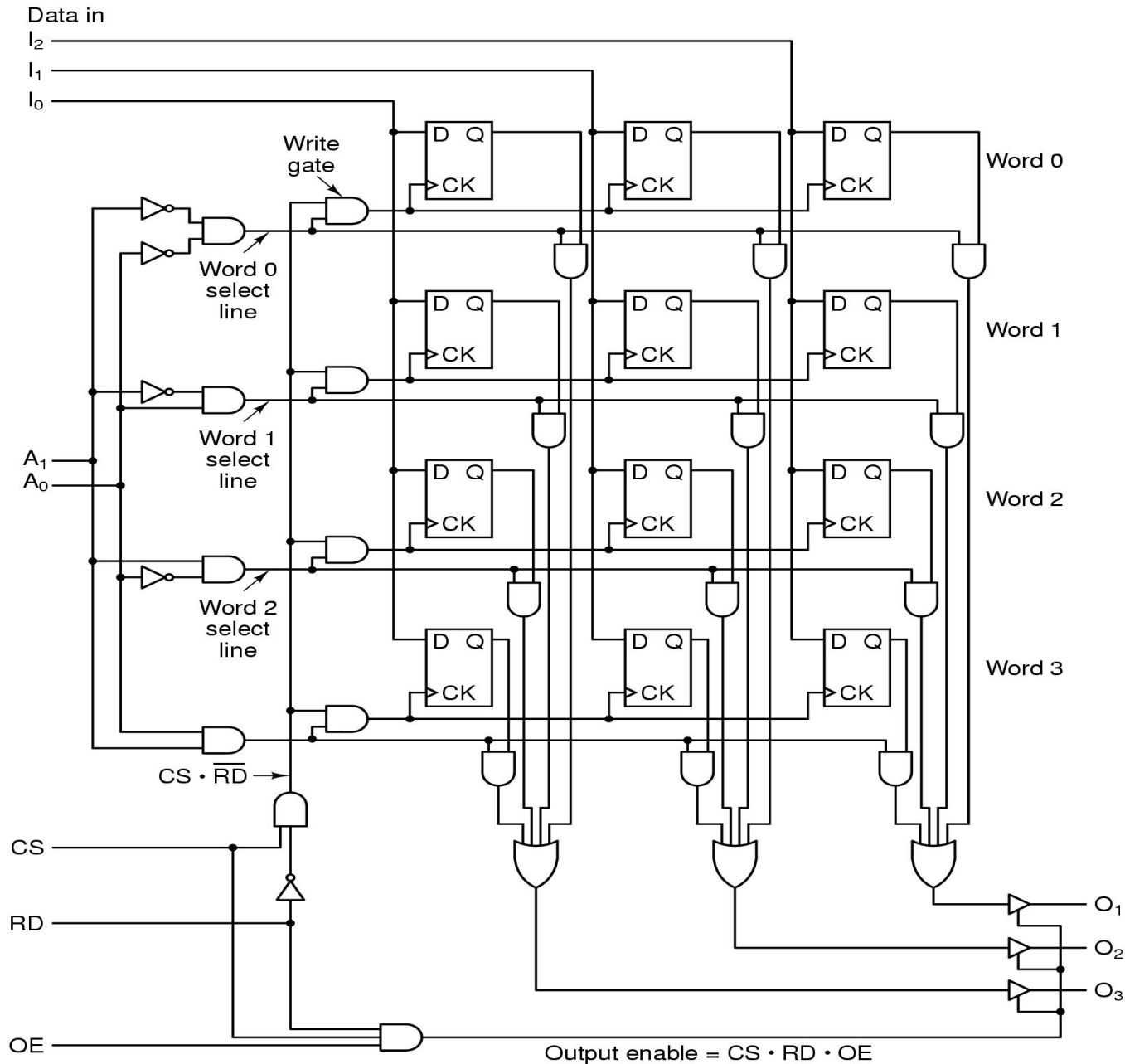


(c)



(d)

Speicher: 4 x 3-Bit Beispiel



Beispiel: 4 x 3-Bit Speicher

- Links hoch wird die 3-Bit Eingabe gesetzt
 - I_0, I_1, I_2
- Links mittel wird das Empfangswort bzw. das Ausgabewort gesetzt
 - $A_0, A_1 = 00, 01, 10, 11$
- Rechts unten wird die 3-Bit Ausgabe gesetzt
 - O_1, O_2, O_3 (Fehler!)
- CS (links unten) ist "Chip Select": dieses Chip wird Read/Write-enabled

Beispiel: 4 x 3-Bit Speicher

- RD (links unten) ist
 - für ein Read hochgesetzt (Low)
 - Die oberen Leitungen werden ausgeschaltet
 - Die unteren Leitungen werden angeschaltet
 - für ein Write untergesetzt (High)
 - Die oberen Leitungen werden angeschaltet
 - Die unteren Leitungen werden ausgeschaltet
- OE ("Output Enabled") muss hochgesetzt werden, um eine Ausgabe, ein Read, zu enablen.

Beispiel: 4 x 3-Bit Speicher

- Grund dafür ist, dass teilweise die Eingabeleitungen und die Ausgabeleitungen die gleichen Leitungen sind. Allerdings muss man verhindern, dass Ausgabe gleichzeitig mit einer Eingabe passiert

Danksage

- Vielen Dank an Andy Tanenbaum für die Zusage zur Benutzung seiner Bilder!

Metastabilität

- Über Metastabilität machen wir die Sachen ein bisschen anders
- Die Geschichte ist spannend und es existieren vielen Links auf dem WWW
- Also gucken wir an den gelinkten Dokumenten